

SEMICONDUCTOR INTEGRATED CIRCUIT

Publication number: JP11307725

Publication date: 1999-11-05

Inventor: KOSHIBA YUICHI

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: G06F9/32; H01L21/822; H01L27/04; G06F9/32;
H01L21/70; H01L27/04; (IPC1-7): H01L27/04;
G06F9/32; H01L21/822

- European:

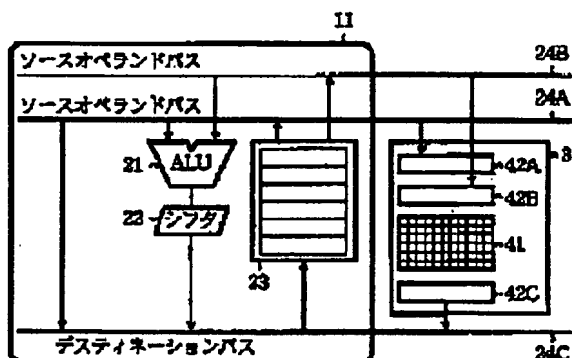
Application number: JP19980111202 19980421

Priority number(s): JP19980111202 19980421

Report a data error here

Abstract of JP11307725

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit allowing a general-purpose controller to be used as a controller formed in the semiconductor integrated circuit, together with logic devices, and cost to be reduced. **SOLUTION:** This semiconductor integrated circuit is such that specified memory area values of a register file 23 is transferred to registers 42A, 42B in a programmable logic part 3 via source operand buses 24A, 24B, based on a data transfer instruction, a programmable array 41 executes specified operations of these values transferred to the registers 42A, 42B and stores the operation result in a register 42C and the values stored in the register 42C are transferred to specified memory areas of the register file 23, based on a data transfer instruction.



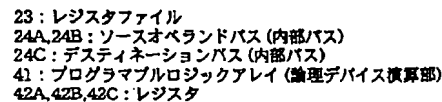
Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

(43)公開日 平成11年(1999)11月5日

360

(74)代理人 弁理士 田澤 博昭 (外1名)



【特許請求の範囲】

【請求項1】 同一のチップダイに、所定の命令セットに基づいてプログラムに従って供給される命令に応じて動作するコントローラと、入力されるデータに対して所定の演算を実行する論理デバイスとを備えた半導体集積回路において、

前記コントローラは、汎用コントローラの命令セットだけに基いて、前記論理デバイスに対するデータの授受を実行することを特徴とする半導体集積回路。

【請求項2】 論理デバイスは、入力されるデータを記憶するレジスタまたはメモリを有し、

コントローラは、前記コントローラ内部のレジスタまたはメモリに対して実行するデータの授受の命令と同一の命令に基づいて、前記論理デバイスの前記レジスタまたはメモリに対してデータの授受を実行することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 論理デバイスのレジスタまたはメモリは、コントローラの内部バスに接続され、

前記コントローラは、前記内部バスに接続され所定の命令セットの各命令に対応する演算を実行する演算部と、前記内部バスに接続されたレジスタファイルとを有し、前記内部バスを介して前記論理デバイスのレジスタまたはメモリに対してデータの授受を実行することを特徴とする請求項2記載の半導体集積回路。

【請求項4】 論理デバイスは、コントローラのシステムバスに接続され前記入力されるデータを記憶するレジスタまたはメモリを有し、

前記コントローラは、前記システムバスに接続された周辺回路との間で実行するデータの授受の命令と同一の命令に基づいて、前記論理デバイスのレジスタまたはメモリに対してデータの授受を実行することを特徴とする請求項1記載の半導体集積回路。

【請求項5】 システムバスに接続されたメモリと、コントローラとは独立に動作し、前記メモリと論理デバイスとの間のデータの入出力を制御するスレーブコントローラとを備えることを特徴とする請求項4記載の半導体集積回路。

【請求項6】 論理デバイスは、リコンフィギュラブル論理デバイスであり、

スレーブコントローラは、リコンフィギュラブル論理デバイスの構成を変更することを特徴とする請求項5記載の半導体集積回路。

【請求項7】 所定の第1および第2のバスにそれぞれ接続され、演算命令に対応する2つのオペランドのデータをそれぞれ記憶する第1および第2のメモリを備え、

論理デバイスは、前記第1のバスに接続された第1のレジスタと、前記第2のバスに接続された第2のレジスタと、前記第1および第2のレジスタの値に対して所定の演算を実行する論理デバイス演算部とを有し、

前記コントローラは、前記第1のバスに接続された第3

のレジスタと、前記第2のバスで接続された第4のレジスタと、前記演算命令に対応する演算を前記第3および第4のレジスタの値に対して実行する演算部とを有し、

前記第3および第4のレジスタに対して実行するデータ転送の命令と同一の命令に基づいて、前記第1および第2のバスを介して、前記第1および第2のメモリから前記論理デバイスの前記第1および第2のレジスタへのデータ転送を実行することを特徴とする請求項1記載の半導体集積回路。

【請求項8】 同一のチップダイに、所定の命令セットに基づいてプログラムに従って供給される命令に応じて動作するコントローラと、入力されるデータに対して所定の演算を実行する論理デバイスとを備えた半導体集積回路において、

前記コントローラは、所定の命令セットの各命令に対応する演算を実行する演算部と、前記演算における2つのオペランドのデータを記憶する2つのレジスタと、前記2つのレジスタに記憶されたオペランドのデータを、命令の種類に応じて、前記論理デバイスおよび前記演算部のいずれか一方に供給する供給手段と、前記命令の種類に応じて前記論理デバイスによる演算の結果または前記演算部による演算の結果をその命令に対する演算結果として出力する出力手段とを有し、

前記論理デバイスは、前記供給手段により供給されたオペランドのデータに対して所定の演算を実行し、その演算の結果を前記出力手段に出力することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、同一のチップダイに、所定の命令セットに基づいてプログラムに従って供給される命令に応じて動作するコントローラと、入力されるデータに対して所定の演算を実行する論理デバイスとを備えた半導体集積回路に関するものである。

【0002】

【従来の技術】図8は例えば「Carp: A MIPS Processor with a Reconfigurable Coprocessor」(J. Hauser および J. Wawrzyniek 著、Proceedings of the IEEE Symposium on Field Programmable Custom Computing Machines、4月16～18日、1997年)に記載の従来の半導体集積回路の構成を示すブロック図である。図において、201は従来の半導体集積回路であり、202はこの半導体集積回路201に接続されたメモリである。

【0003】半導体集積回路201において、211は、MIPS-III命令セットにリコンフィギュラブルアレイ212とのデータの授受のための命令を追加した拡張命令セットに基づいて動作するプロセッサであり、212は、外部からの所定の命令に応じて回路を再構成して演算機能を変更することが可能なリコンフィギュラ

ブルアレイドであり、213は、メモリ202、プロセッサ211およびリコンフィギュラブルアレイド212に接続され、メモリ202からプロセッサ211またはリコンフィギュラブルアレイド212に供給されるデータやプロセッサ211またはリコンフィギュラブルアレイド212による演算の結果を一時的に記憶するデータキャッシュであり、214は、プロセッサ211に供給される命令を一時的に記憶するインストラクションキャッシュである。

【0004】なお、このコントローラにおいて使用されるMIPS-11命令セットには、例えば、リコンフィギュラブルアレイド212にデータを供給するための拡張命令として「mtga」が追加され、リコンフィギュラブルアレイド212からデータを読み出すための拡張命令として「mfga」が追加されている。

【0005】次に動作について説明する。まず、プロセッサ211は、拡張命令以外の命令が供給された場合には、その命令に応じて演算やデータキャッシュ213（またはメモリ202）とのデータの授受などの通常のコントローラと同様の処理を実行する。一方、プロセッサ211は、リコンフィギュラブルアレイド212を制御するための拡張命令が供給された場合、その拡張命令の種類に応じた処理をリコンフィギュラブルアレイド212に対して実行する。

【0006】例えば拡張命令「mtga」が供給された場合、プロセッサ211は、プロセッサ211内のデータをリコンフィギュラブルアレイド212に供給し、拡張命令「mfga」が供給された場合には、リコンフィギュラブルアレイド212に記憶されているデータを読み出す。

【0007】

【発明が解決しようとする課題】従来の半導体集積回路は以上のようにリコンフィギュラブルアレイド212はプロセッサ211とは独立に構成されているので、両者の間でデータの授受を行う場合には汎用コントローラ用の命令セットの他にリコンフィギュラブルアレイド212へのデータ転送用の拡張命令を実行しなければならず、汎用コントローラをプロセッサ211やキャッシュ213、214などとしてそのまま使用することが困難であり、回路のコストを低減することが困難であるなどの課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、拡張命令を導入することなく汎用コントローラ用の命令セットだけを使用して、コントローラとともに設けられている論理デバイスとの間のデータの授受を実行するようにしたので、論理デバイスとともに半導体集積回路に形成するコントローラとして汎用コントローラを使用することができ、コストを低減することができる半導体集積回路を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体集積回路は、コントローラが、汎用コントローラの命令セットだけに基づいて、論理デバイスに対するデータの授受を実行するものである。

【0010】この発明に係る半導体集積回路は、論理デバイスが、入力されるデータを記憶するレジスタまたはメモリを有し、コントローラが、コントローラ内部のレジスタまたはメモリに対して実行するデータの授受の命令と同一の命令に基づいて、論理デバイスのレジスタまたはメモリに対してデータの授受を実行するものである。

【0011】この発明に係る半導体集積回路は、論理デバイスのレジスタまたはメモリが、コントローラの内部バスに接続され、コントローラが、内部バスに接続された所定の命令セットの各命令に対応する演算を実行する演算部と、内部バスに接続されたレジスタファイルとを有し、内部バスを介して論理デバイスのレジスタまたはメモリに対してデータの授受を実行するものである。

【0012】この発明に係る半導体集積回路は、論理デバイスが、コントローラのシステムバスに接続され入力されるデータを記憶するレジスタまたはメモリを有し、コントローラが、システムバスに接続された周辺回路との間で実行するデータの授受の命令と同一の命令に基づいて、論理デバイスのレジスタまたはメモリに対してデータの授受を実行するものである。

【0013】この発明に係る半導体集積回路は、システムバスに接続されたメモリと、コントローラとは独立に動作し、メモリと論理デバイスとの間のデータの入出力を制御するスレーブコントローラとを備えるものである。

【0014】この発明に係る半導体集積回路は、論理デバイスが、リコンフィギュラブル論理デバイスであり、スレーブコントローラが、リコンフィギュラブル論理デバイスの構成を変更するものである。

【0015】この発明に係る半導体集積回路は、所定の第1および第2のバスにそれぞれ接続され、演算命令に対応する2つのオペランドのデータをそれぞれ記憶する第1および第2のメモリを備え、論理デバイスが、第1のバスに接続された第1のレジスタと、第2のバスに接続された第2のレジスタと、第1および第2のレジスタの値に対して所定の演算を実行する演算部とを有し、コントローラが、第1のバスに接続された第3のレジスタと、第2のバスで接続された第4のレジスタと、演算命令に対応する演算を第3および第4のレジスタの値に対して実行する演算部とを有し、第3および第4のレジスタに対して実行するデータ転送の命令と同一の命令に基づいて、第1および第2のバスを介して、第1および第2のメモリから論理デバイスの第1および第2のレジスタへのデータ転送を実行するものである。

【0016】この発明に係る半導体集積回路は、コント

ローラが、所定の命令セットの各命令に対応する演算を実行する演算部と、演算における2つのオペランドのデータを記憶する2つのレジスタと、2つのレジスタに記憶されたオペランドのデータを、命令の種類に応じて、論理デバイスおよび演算部のいずれか一方に供給する供給手段と、命令の種類に応じて論理デバイスによる演算の結果または演算部による演算の結果をその命令に対する演算結果として出力する出力手段とを有し、論理デバイスが、供給手段により供給されたオペランドのデータに対して所定の演算を実行し、その演算の結果を出力手段に出力するものである。

【0017】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1は、この発明の実施の形態1による半導体集積回路の構成例を示すブロック図であり、図2は、図1の半導体集積回路の命令実行部11とプログラマブルロジック部3の詳細な構成を示すブロック図である。図において、1は1つのチップダイにコントローラ2とプログラマブルロジック部3が形成された半導体集積回路である。2は汎用コントローラ（例えば汎用のマイクロコントロールユニット、マイクロプロセッシングユニット、デジタルシグナルプロセッサ）と同様な回路構成のコントローラであり、3は、外部からの所定の命令に応じて回路を再構成して演算機能を変更することが可能な例えばプログラマブルロジックデバイス、フィールドプログラマブルゲートアレイなどのプログラマブルロジック部（論理デバイス）である。

【0018】コントローラ2において、11は、インストラクションバス15を介して供給される命令をデコードして、その命令に対応する処理を実行する命令実行部であり、13は、命令実行部11、データメモリ14および周辺ロジック部18の間でデータの授受を実行するときに使用されるシステムバスとしてのデータバスであり、14は、各種データや演算結果などを記憶するデータメモリであり、15は、インストラクションメモリ16から命令を命令実行部11に供給するときに使用されるインストラクションバスであり、16は、所定のプログラムに対応する一連の命令を一時的に記憶するインストラクションメモリであり、17は、システムバスとしてのデータバス13、およびインストラクションバス15を制御するバスコントローラであり、18は、データバス13を介して命令実行部11に接続され、タイマなどの周辺回路を有する周辺ロジック部である。

【0019】命令実行部11（図2）において、21は算術論理演算器（以下、ALUという）であり、22は、ALU21からのデータを適宜所定のビット数だけシフトするシフタであり、23はレジスタファイルであり、24Aおよび24Bは、命令実行部11の内部バスであって、ALU21およびレジスタファイル23にそ

れぞれ接続され、ALU21にデータを供給するときに使用されるソースオペランドバスであり、24Cは、命令実行部11の内部バスであって、シフタ22およびレジスタファイル23に接続され、シフタ22からのデータをレジスタファイル23などに出力するときに使用されるデスティネーションバスである。なお、命令実行部11には、汎用コントローラのものが使用され、この他、図示せぬ命令レジスタ、命令デコーダ、プログラムカウンタなどが設けられている。

【0020】プログラマブルロジック部3（図2）において、41は、レジスタ42A、42Bに記憶されたデータに対して所定の演算を実行し、その演算の結果をレジスタ42Cに記憶させるプログラマブルロジックアレイ（論理デバイス演算部）であり、42Aおよび42Bは、ソースオペランドバス24A、24Bにそれぞれ接続され、レジスタファイル23からのデータを記憶するレジスタであり、42Cは、デスティネーションバス24Cに接続され、プログラマブルロジックアレイ41による演算の結果を記憶するレジスタである。

【0021】次に動作について説明する。ここで、命令実行部11により処理される命令について説明する。なお、下記の命令は、汎用コントローラにおいて通常使用されるものであり、ここでは、代表的な名称を付している。

【0022】まず、オペランドのない命令として、NOP命令などがある。NOP命令は、特に演算を指定するものではなく、1クロックサイクルの間待機させるための命令である。

【0023】2オペランド命令として、LD命令、ST命令、TFR命令などがある。LD命令は、「LD src dst」と記述され、オペランドsrcで指定されるメモリの値を、オペランドdstで指定されるレジスタにロードする命令であり、ST命令は、「ST src dst」と記述され、オペランドsrcで指定されるレジスタの値を、オペランドdstで指定されるメモリにストアする命令であり、TFR命令は、「TFR src dst」と記述され、オペランドsrcで指定されるレジスタの値を、オペランドdstで指定されるレジスタに転送する命令である。

【0024】3オペランド命令として、ADD命令、MPY命令、MAC命令などがある。ADD命令は、「ADD src0 src1 dst」と記述され、オペランドsrc0で指定されるレジスタの値とオペランドsrc1で指定されるレジスタの値との和を計算し、オペランドdstで指定されるレジスタに格納する命令であり、MPY命令は、「MPY src0 src1 dst」と記述され、オペランドsrc0で指定されるレジスタの値とオペランドsrc1で指定されるレジスタの値との積を計算し、オペランドdstで指定されるレジスタに格納する命令であり、MAC命令は、「MAC src0 src1 dst dst」と記述され、

オペランド $s r c 0$ で指定されるレジスタの値とオペランド $s r c 1$ で指定されるレジスタの値との積を計算し、その積を、オペランド $d s t$ で指定されるレジスタの値に累積させる命令である。

【0025】なお、上記命令は、この実施の形態による回路の動作の説明に使用するものであり、命令セットに含まれる命令は特にこれらの命令のみに限定されるものではない。

【0026】次に、上記命令に基づいて動作を説明する。命令実行部 11 の $A L U 2 1$ およびシフト 22 により演算を行う場合には、 $A D D$ 命令、 $M P Y$ 命令、 $M A C$ 命令などの演算命令がインストラクションバス 15 を介して命令実行部 11 の図示せぬ命令レジスタに供給される。それらの演算命令は、図示せぬ命令デコーダによりデコードされる。そして、命令デコーダからの制御信号に従って $A L U 2 1$ およびシフト 22 が動作する。例えば、 $R 1$ 、 $R 2$ および $R 3$ をレジスタファイル 23 の所定の記憶領域としたときに「 $A D D R 1 R 2 R 3$ 」という命令が供給された場合には、 $A L U 2 1$ は、レジスタファイル 23 の記憶領域 $R 1$ の値と記憶領域 $R 2$ の値との和を演算し、その演算結果をシフト 22 を介して記憶領域 $R 3$ に格納する。

【0027】一方、プログラマブルロジック部 3 により演算を行う場合には、レジスタ間のデータ転送命令がインストラクションバス 15 を介して命令実行部 11 の図示せぬ命令レジスタに供給される。それらの命令は、図示せぬ命令デコーダによりデコードされる。命令デコーダからの制御信号に従ってレジスタファイル 23 の所定の記憶領域の値が、ソースオペランドバス 24 A、24 B を介してプログラマブルロジック部 3 のレジスタ 42 A、42 B に転送される。

【0028】プログラマブルロジック部 3 のプログラマブルロジックアレイ 41 は、レジスタ 42 A、42 B に値が転送されると、それらの値に対して所定の演算を実行し、その演算の結果をレジスタ 42 C に格納する。

【0029】そして、レジスタ 42 C に記憶された値は、命令実行部 11 に供給されるデータ転送命令に基づいて、レジスタファイル 23 の所定の記憶領域に転送される。したがって、例えば次のようにプログラムを記述しておけば、命令実行部 11 によりプログラマブルロジック部 3 が使用される。なお、ここで、 $R 1$ 、 $R 2$ および $R 3$ をレジスタファイル 23 の所定の記憶領域とし、 $R A$ 、 $R B$ および $R C$ をプログラマブルロジックに設けられたレジスタ 42 A、42 B、42 C とする。

TFR R1 RA

TFR R2 RB

NOP

TFR RC R3

【0030】すなわち、「TFR R1 RA」および「TFR R2 RB」という記述に基づいて、命令実行部 11 のレジ

スタファイル 23 からプログラマブルロジック部 3 のレジスタ 42 A、42 B にデータが転送され、「NOP」に基づいて 1 クロックサイクルの期間だけ待機した後、「TFR RC R3」という記述に基づいて、プログラマブルロジック部 3 のレジスタ 42 C からレジスタファイル 23 に、プログラマブルロジック部 3 により演算の結果が転送される。

【0031】以上のように、この実施の形態 1 によれば、拡張命令を導入することなく汎用コントローラ用の命令セットだけを使用して、コントローラとともに設けられている論理デバイスへのデータ転送を実行するようにしたので、論理デバイスとともに半導体集積回路に形成するコントローラとして汎用コントローラを使用することができ、コストを低減することができるという効果が得られる。

【0032】なお、上記実施の形態 1 においては、3 バス構成を採用しているがバスの構成は 3 バス構成に限定されるものではない。

【0033】実施の形態 2. 図 3 は、この発明の実施の形態 2 による半導体集積回路におけるコントローラ 2 の命令実行部 11 および周辺ロジック部 18、並びにプログラマブルロジック部 3 を示すブロック図である。なお、その他の構成要素については、実施の形態 1 のものと同様であるので、その説明を省略する。また、命令実行部 11 は、実施の形態 1 のものに限定されるものではなく、他の汎用コントローラの命令実行部 ($A L U$ 、各種レジスタなど命令の実行に関連する部分) を使用してもよい。

【0034】図において、13 および 71 はシステムバスとしてのデータバスおよびアドレスバス (図 1 には図示せず) であり、72 は命令実行部 11、周辺ロジック部 18 およびプログラマブルロジック部 3 に接続された制御線である。

【0035】プログラマブルロジック部 3 において、41 は、それぞれが所定の演算を実行する所定の数のロジックブロックを有するプログラマブルロジックアレイであり、61 はプログラマブルロジックアレイ 41 のうちの所定のロジックブロックにそれぞれ接続されるとともに、データバス 13 に接続された複数のデータレジスタであり、62 は、アドレスバス 71 に接続され、データが供給されるデータレジスタ 61 を選択するためのアドレスを供給され、記憶するアドレスレジスタであり、63 は、制御線 72 に接続され、制御線 72 を介して供給される制御信号に応じてプログラマブルロジック部 3 の各部を制御するとともに、プログラマブルロジック部 3 における処理の状態 (例えば演算の終了した状態など) に応じて命令実行部 11 に割込信号を出力する制御部である。

【0036】次に動作について説明する。命令実行部 11 は、プログラマブルロジック部 3 にデータを供給し、

所定の演算を実行させる場合、システムバスに接続された周辺ロジック部18との間で実行するデータの授受の命令と同一の命令に基づいて、まず、アドレスバス71を介してアドレスレジスタ62に、実行させる演算に対応するロジックブロックに接続されたデータレジスタ61を選択するためのアドレスを供給する。その後、命令実行部11は、データバス13を介して、アドレスレジスタ62の値で指定されるデータレジスタ61にデータを供給する。

【0037】データが供給されたデータレジスタ61に対応するロジックブロックは、そのデータレジスタ61のデータに対して所定の演算を実行し、その演算の結果を所定のデータレジスタ61に格納する。

【0038】プログラマブルロジックアレイ41における演算が終了すると、制御部63は割込信号を命令実行部11に出力する。

【0039】命令実行部11は、プログラマブルロジック部3からの割込信号を受け取ると、プログラマブルロジック部3のデータレジスタ61のうちの演算結果が格納されたものから、データバス13を介して、その演算結果を読み出す。

【0040】以上のように、この実施の形態2によれば、実施の形態1による効果と同様の効果が得られる他、コントローラ2のシステムバスにプログラマブルロジック部3を接続するようにしたので、周辺ロジック部18と同様にして簡単にプログラマブルロジック部3をコントローラ2に付加することができるという効果が得られる。

【0041】なお、上記半導体集積回路においては、コントローラ2の命令実行部11とプログラマブルロジック部3がシステムバスを介して接続されているが、例えばキャッシュメモリなどのコントローラ2の内部メモリが接続されているバスにプログラマブルロジック部3を接続するようにしてもよい。例えばコントローラ2に1次キャッシュメモリおよび2次キャッシュメモリが設けられる場合、2次キャッシュメモリに接続されるバスのバス幅は、命令実行部11の2次キャッシュメモリへのアクセス速度が命令実行部11に接続されるバスのバスクロックより遅いことに起因して発生するレイテンシを抑制するために、命令実行部11に接続されるバスのバス幅より広く設計されることが多い。その場合、命令実行部11に接続されるバスのバス幅より広い、2次キャッシュメモリに接続されているバスにプログラマブルロジック部3を接続させる。このようにバス幅の広いバスにプログラマブルロジック部3を接続することにより、プログラマブルロジック部3へ多くのデータを転送する場合に、転送時間を短縮することができるという効果が得られる。

【0042】また、このときプログラマブルロジック部3に接続されるメモリはキャッシュメモリに限定される

ものではなく、例えばプリンタへのキューを蓄積するメモリなどの特殊用途のバッファメモリでもよい。

【0043】実施の形態3. 図4は、この発明の実施の形態3による半導体集積回路におけるコントローラ2の命令実行部11、プログラマブルロジック部3およびスレーブコントローラ75を示すブロック図である。なお、その他の構成要素については、実施の形態2のものと同様であるので、その説明を省略する。

【0044】図において、3は、システムバスとしてのデータバス13およびアドレスバス71に接続されたプログラマブルロジック部である。11は、システムバスとしてのデータバス13およびアドレスバス71、並びに制御線72に接続された命令実行部であり、75は、命令実行部11とは独立してプログラマブルロジック部3を制御し、プログラマブルロジック部3へのデータの供給、プログラマブルロジック部3の回路構成の変更などを実行するスレーブコントローラである。なお、スレーブコントローラ75は、プログラムに従って動作するプロセッサとしてもよいし、プログラムを必要としないシーケンサとしてもよい。

【0045】次に動作について説明する。まず、命令実行部11により制御線72を介してスレーブコントローラ75に所定の制御信号が供給されてスレーブコントローラ75が起動される。スレーブコントローラ75は、予め設定された制御パターンに基づいてプログラマブルロジック部3を制御し、その制御を完了すると、命令実行部11に割込信号を出力する。

【0046】例えば、スレーブコントローラ75は、予め設定された制御パターンに基づいて、プログラマブルロジック部3の回路構成を変更したり、データバス13を介してデータメモリ14からデータを直接読み出したりする。すなわち、スレーブコントローラ75はデータメモリ14からのデータのDMA (Direct Memory Access) 転送を実行する。

【0047】また、プログラマブルロジック部3に、より複雑な動作を実行させるための制御パターンをスレーブコントローラ75に供給することにより、複数種類の演算の実行、繰返し演算、条件分岐などの複雑な動作を実行させてもよい。

【0048】以上のように、この実施の形態3によれば、実施の形態1による効果と同様の効果が得られる他、プログラマブルロジック部3に、より複雑な動作を実行させることができ、またデータのDMA転送を実行することができ、データ転送の効率や計算の効率を向上させることができるという効果が得られる。

【0049】実施の形態4. 図5は、この発明の実施の形態4による半導体集積回路におけるコントローラ2の命令実行部11およびローカルメモリ14X、14Y、プログラマブルロジック部3、並びにデータバス13X、13Yの構成を示すブロック図である。なお、その

他の構成要素については、実施の形態1のものと同様であるので、その説明を省略する。

【0050】3は、データバス13X、13Yに接続されたプログラマブルロジック部である。11は、データバス13X、13Yに接続され、汎用のデジタルシグナルプロセッサの回路構成と同様の回路構成を有する、コントローラ2の命令実行部であり、14Xは、例えば図1のデータメモリ14の所定の記憶領域に設けられ、データバス13Xに接続されたローカルメモリ（第1のメモリ）であり、14Yは、例えば図1のデータメモリ14の所定の記憶領域に設けられ、データバス13Yに接続されたローカルメモリ（第2のメモリ）である。

【0051】命令実行部11において、81Xは、データバス13Xに接続され、データバス13Xを介して供給されるデータを記憶し、乗算器32およびセクタ83に供給するレジスタ（第3のレジスタ）であり、81Yは、データバス13Yに接続され、データバス13Yを介して供給されるデータを記憶し、乗算器32およびセクタ34に供給するレジスタ（第4のレジスタ）である。

【0052】32は、レジスタ81X、81Yに接続され、レジスタ81Xの値とレジスタ81Yの値との積を計算し、セクタ83およびセクタ86に出力する乗算器（演算部）であり、83は、乗算器32からのデータおよびレジスタ81Xからのデータのいずれかを、デコードされた命令に応じて加算器35に出力するセクタ（演算部）であり、34は、レジスタ81Yからのデータおよびレジスタ37からのデータのいずれかを加算器35に出力するセクタ（演算部）である。

【0053】35は、セクタ83からのデータとセクタ34からのデータとの和を計算し、セクタ86に出力する加算器（演算部）であり、86は、加算器35からのデータおよび乗算器32からのデータのいずれかをレジスタ37に格納するセクタ（演算部）であり、37は、セクタ36からのデータを記憶し、セクタ34およびデータバス13X、13Yに適宜出力するレジスタである。

【0054】プログラマブルロジック部3において、91Xは、データバス13Xに接続されたレジスタ（第1のレジスタ）であり、91Yは、データバス13Yに接続されたレジスタ（第2のレジスタ）であり、41は、レジスタ91X、91Yのデータに対して所定の演算を実行し、その演算の結果をレジスタ92に格納するプログラマブルロジックアレイであり、92は、プログラマブルロジックアレイ41およびデータバス13X、13Yに接続され、プログラマブルロジックアレイ41の演算結果を記憶するレジスタである。

【0055】次に動作について説明する。命令実行部11において演算を実行する場合には、ローカルメモリ14Xからデータバス13Xを介してレジスタ81Xにデ

ータが供給されるとともに、ローカルメモリ14Yからデータバス13Yを介してレジスタ81Yにデータが供給される。乗算器32、加算器35、およびセクタ34、83、86は、デコードされた命令に応じて動作し、命令に対応する演算を実行する。そして、その演算結果は、レジスタ37からデータバス13X、13Yを介してローカルメモリ14X、14Yに格納される。

【0056】一方、プログラマブルロジック部3において演算を実行する場合には、命令実行部11は、データ転送命令（上述のLD命令）をデコードし、そのデータ転送命令に応じて、ローカルメモリ14Xからデータバス13Xを介してプログラマブルロジック部3のレジスタ91Xにデータを転送させるとともに、ローカルメモリ14Yからデータバス13Yを介してレジスタ91Yにデータを転送させる。

【0057】プログラマブルロジックアレイ41は、レジスタ91X、91Yにデータが供給されると、そのデータに対して所定の演算を実行し、その演算の結果をレジスタ92に格納する。

【0058】そして、命令実行部11は、データ転送命令に基づいてプログラマブルロジック部3のレジスタ92から演算結果をローカルメモリ14X、14Yに転送する。

【0059】以上のように、この実施の形態4によれば、実施の形態1による効果と同様の効果が得られる。他、2つのローカルメモリ14X、14Yと、命令実行部11の2つのレジスタ81X、81Yおよびプログラマブルロジック部3の2つのレジスタ91X、91Yとを、それぞれ2つの独立したデータバス13X、13Yで接続するようにしたので、2つのデータに対して積和演算を連続して実行するような場合には、2つのデータの転送を並行して実行することができ、計算を効率よく実行することができるという効果が得られる。すなわち、これらのローカルメモリ14X、14Y、データバス13X、13Yを使用してパイプライン処理を実行する場合にもストールすることなく計算を実行することができる。

【0060】このような積和演算を連続して実行する応用例としては、リードソロモン符号の復号化が考えられる。例えば「A 40-MHz Encoder-Decoder Chip Generalized By A Reed-Solomon Code Compiler」(P. Tong 著、CICC 13-5-1、1990年)に記載されているように、リードソロモン符号についての符号化/復号化を実行する場合には、ガロワ体上の要素に対する積和演算が実行される。したがって、このような通常の演算とは異なるガロワ体上の要素に対する演算をプログラマブルロジック部3が実行するようにすることにより、効率よくそのような演算を実行することができ、さらに、その演算結果をコントローラ2で利用することができる。

【0061】実施の形態5. 図6は、この発明の実施の形態5による半導体集積回路におけるコントローラ2の命令実行部11、プログラマブルロジック部3およびデータバス13X、13Yの構成を示すブロック図である。なお、その他の構成要素については、実施の形態4のものと同様であるので、その説明を省略する。

【0062】11は、図1のデータバス13としてのデータバス13X、13Yに接続され、汎用のデジタルシグナルプロセッサの回路構成と同様の回路構成を有する命令実行部であり、13X、13Yは、システムバスとしてのデータバスである。なお、この実施の形態5においては、プログラマブルロジック部3は、データバス13X、13Yには接続されていない。

【0063】命令実行部11において、31Xは、データバス13Xに接続され、データバス13Xを介して供給されるデータを記憶し、命令実行部11に供給される命令の種類に応じて、そのデータをプログラマブルロジック部3に出力するか、あるいは、乗算器32およびセレクトタ33に供給するレジスタ部（レジスタ、供給手段）であり、31Yは、データバス13Yに接続され、データバス13Yを介して供給されるデータを記憶し、命令実行部11に供給される命令の種類に応じて、そのデータをプログラマブルロジック部3に出力するか、あるいは、乗算器32およびセレクトタ34に供給するレジスタ部（レジスタ、供給手段）である。

【0064】32は、レジスタ部31X、31Yに接続され、レジスタ部31Xからのデータとレジスタ部31Yからのデータとの積を計算し、セレクトタ33およびセレクトタ36に出力する乗算器であり、33は、乗算器32からのデータ、レジスタ部31Xからのデータ、およびプログラマブルロジック部3からのデータのいずれかを加算器35に出力するセレクトタ（演算部、出力手段）であり、34は、レジスタ部31Yからのデータおよびレジスタ37からのデータのいずれかを加算器35に出力するセレクトタ（演算部）である。

【0065】35は、セレクトタ33からのデータとセレクトタ34からのデータとの和を計算し、セレクトタ36に出力する加算器であり、36は、加算器35からのデータ、乗算器32からのデータ、およびプログラマブルロジック部3からのデータのいずれかをレジスタ37に格納するセレクトタ（演算部、出力手段）であり、37は、セレクトタ36からのデータを記憶し、セレクトタ34およびデータバス13X、13Yに適宜出力するレジスタである。

【0066】プログラマブルロジック部3において、41は、所定の数のロジックブロックで構成され、所定のロジックブロックと命令実行部11のレジスタ部31X、31Yがそれぞれ接続され、所定のロジックブロックと命令実行部11のセレクトタ33、36が接続されたプログラマブルロジックアレイである。

【0067】次に動作について説明する。インストラクションバス15を介して命令が命令実行部11に供給され、その命令がデコードされ、その命令のオペランドに対応するデータがレジスタ部31X、31Yに供給されると、レジスタ部31X、31Yは、デコードされた命令が所定の命令である場合、プログラマブルロジック部3のプログラマブルロジックアレイ41にそのデータを出力する。

【0068】プログラマブルロジック部3にデータが供給された場合、プログラマブルロジックアレイ41は、そのデータに対して所定の演算を実行し、その演算の結果をセレクトタ33、36に出力する。

【0069】デコードされた命令が所定の命令である場合、セレクトタ33は、プログラマブルロジック部3からのデータを加算器35に出力し、セレクトタ36は、プログラマブルロジック部3からのデータをレジスタ37に格納する。

【0070】一方、レジスタ部31X、31Yは、デコードされた命令がその所定の命令以外の命令である場合、そのデータを乗算器32、および、セレクトタ33、34に供給する。乗算器32は、それらのデータの積を計算し、セレクトタ33およびセレクトタ36に出力する。この場合、セレクトタ33は、デコードされた命令に応じて、レジスタ部31Xからのデータまたは乗算器32からのデータを加算器35に出力する。また、セレクトタ34は、デコードされた命令に応じて、レジスタ部31Yからのデータまたはレジスタ37からのデータを加算器35に出力する。

【0071】そして、加算器35は、セレクトタ33からのデータとセレクトタ34からのデータとの和を計算し、セレクトタ36に出力する。セレクトタ36は、この場合、デコードされた命令に応じて乗算器32からのデータまたは加算器35からのデータをレジスタ37に格納する。

【0072】以上のように、この実施の形態5によれば、所定の命令についてだけプログラマブルロジック部3で処理するようにし、命令の種類に応じてデータをプログラマブルロジック部3に供給するようにしたので、データ転送のための拡張命令を追加する必要がなく、論理デバイスとともに半導体集積回路に形成するコントローラとして汎用コントローラを使用することができ、コストを低減することができるという効果が得られる。

【0073】実施の形態6. 図7に示すように、上記実施の形態1から実施の形態5においては、同一のチップダイ101Aにコントローラ2とともに論理デバイスとしてのプログラマブルロジック部3が形成されているが、論理デバイスに実行させる演算が変更されない場合には、プログラマブルロジック部3の代わりに、その演算に対応した通常のゲートアレイ部（論理デバイス）103を形成するようにしてもよい。また、論理デバイス

のうち、演算が変更されない部分だけゲートアレイとして、演算が変更される部分をプログラマブルロジックとして形成するようにしてもよい。

【0074】以上のように、この実施の形態6によれば、演算が変更されない部分については、通常のゲートアレイを、コントローラ2とともに形成するようにしたので、論理デバイスをすべてプログラマブルロジックで構成する場合より、ゲート数が少なくなり、ひいてはチップ面積を削減することができ、チップの歩留まりの向上、およびコストの低減が可能になるという効果が得られる。

【0075】なお、上記実施の形態1から実施の形態5において、プログラマブルロジック部3で、通常の乗算器を構成することにより、乗算器を有さないマイクロコントロールユニットに乗算機能を付加することができる。また、プログラマブルロジック部3で、DRAMコントローラを構成することにより、DRAMコントローラを有さないマイクロコントロールユニットにDRAMを制御するための機能を付加することができる。

【0076】

【発明の効果】以上のように、この発明によれば、コントローラが、汎用コントローラの命令セットだけに基づいて、論理デバイスに対するデータの授受を実行するように構成したので、論理デバイスとともに半導体集積回路に形成するコントローラとして汎用コントローラを使用することができ、コストを低減することができるという効果がある。

【0077】この発明によれば、論理デバイスが、コントローラのシステムバスに接続され入力されるデータを記憶するレジスタまたはメモリを有し、コントローラが、システムバスに接続された周辺回路との間で実行するデータの授受の命令と同一の命令に基づいて、論理デバイスのレジスタまたはメモリに対してデータの授受を実行するように構成したので、周辺回路と同様にして簡単に論理デバイスをコントローラに付加することができるという効果がある。

【0078】この発明によれば、システムバスに接続されたメモリと、コントローラとは独立に動作し、メモリと論理デバイスとの間のデータの入出力を制御するスレーブコントローラとを備えるようにしたので、データのDMA転送を実行することができ、データ転送の効率や計算の効率を向上させることができるという効果がある。

【0079】この発明によれば、所定の第1および第2のバスにそれぞれ接続され、演算命令に対応する2つのオペランドのデータをそれぞれ記憶する第1および第2のメモリを備え、論理デバイスが、第1のバスに接続された第1のレジスタと、第2のバスに接続された第2のレジスタと、第1および第2のレジスタの値に対して所定の演算を実行する演算部とを有し、コントローラが、

第1のバスに接続された第3のレジスタと、第2のバスで接続された第4のレジスタと、演算命令に対応する演算部とを有し、第3および第4のレジスタに対して実行するデータ転送の命令と同一の命令に基づいて、第1および第2のバスを介して、第1および第2のメモリから論理デバイスの第1および第2のレジスタへのデータ転送を実行するようにしたので、2つのデータに対して積和演算を連続して実行するような場合には、2つのデータの転送を並行して実行することができ、計算を効率よく実行することができるという効果がある。

【0080】この発明によれば、コントローラが、所定の命令セットの各命令に対応する演算を実行する演算部と、演算における2つのオペランドのデータを記憶する2つのレジスタと、2つのレジスタに記憶されたオペランドのデータを、命令の種類に応じて、論理デバイスおよび演算部のいずれか一方に供給する供給手段と、命令の種類に応じて論理デバイスによる演算の結果または演算部による演算の結果をその命令に対する演算結果として出力する出力手段とを有し、論理デバイスが、供給手段により供給されたオペランドのデータに対して所定の演算を実行し、その演算の結果を出力手段に出力するようにしたので、データ転送のための拡張命令を追加する必要がなく、論理デバイスとともに半導体集積回路に形成するコントローラとして汎用コントローラを使用することができ、コストを低減することができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路の構成例を示すブロック図である。

【図2】 図1の半導体集積回路の命令実行部とプログラマブルロジック部の詳細な構成を示すブロック図である。

【図3】 この発明の実施の形態2による半導体集積回路におけるコントローラの命令実行部および周辺ロジック部、並びにプログラマブルロジック部を示すブロック図である。

【図4】 この発明の実施の形態3による半導体集積回路におけるコントローラの命令実行部、プログラマブルロジック部およびスレーブコントローラを示すブロック図である。

【図5】 この発明の実施の形態4による半導体集積回路におけるコントローラの命令実行部およびローカルメモリ、プログラマブルロジック部、並びにデータバスの構成を示すブロック図である。

【図6】 この発明の実施の形態5による半導体集積回路におけるコントローラの命令実行部、プログラマブルロジック部およびデータバスの構成を示すブロック図である。

【図7】 コントローラとともにゲートアレイ部を形成

17

した半導体集積回路の一例を説明する図である。

【図8】 従来の半導体集積回路の構成を示すブロック図である。

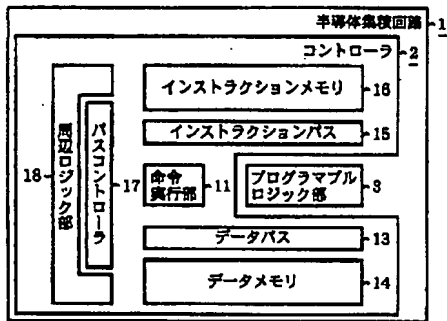
【符号の説明】

1 半導体集積回路、2 コントローラ、3 プログラマブルロジック部（論理デバイス）、13 データバス（システムバス）、14X ローカルメモリ（第1のメモリ）、14Y ローカルメモリ（第2のメモリ）、23 レジスタファイル、24A、24B ソースオペランドバス（内部バス）、24C デスティネーションバス（内部バス）、31X、31Y レジスタ部（レジスタ

18

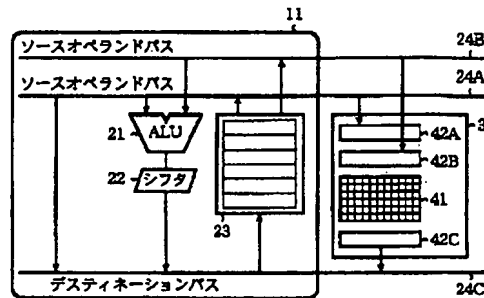
*タ、供給手段）、32 乗算器（演算部）、33、36 セレクタ（演算部、出力手段）、34、83、86 セレクタ（演算部）、35 加算器（演算部）、41 プログラマブルロジックアレイ（論理デバイス演算部）、42A、42B、42Cレジスタ、71 アドレスバス（システムバス）、75 スレーブコントローラ、81X レジスタ（第3のレジスタ）、81Y レジスタ（第4のレジスタ）、91X レジスタ（第1のレジスタ）、91Y レジスタ（第2のレジスタ）、1003 ゲートアレイ部（論理デバイス）。

【図1】—100



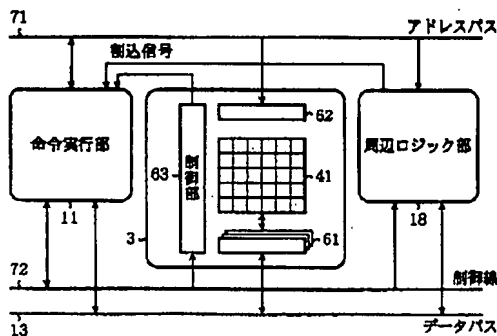
3: プログラマブルロジック部（論理デバイス）
13: データバス（システムバス）

【図2】



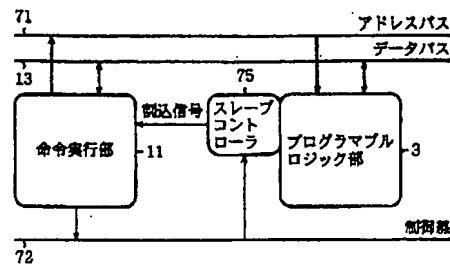
23: レジスタファイル
24A, 24B: ソースオペランドバス（内部バス）
24C: デスティネーションバス（内部バス）
41: プログラマブルロジックアレイ（論理デバイス演算部）
42A, 42B, 42C: レジスタ

【図3】

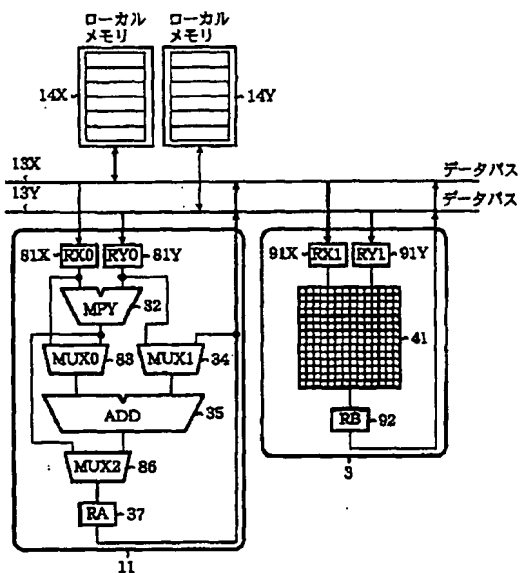


71: アドレスバス（システムバス）

【図4】

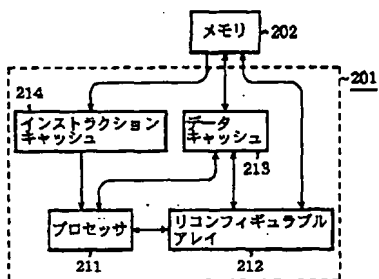


【図5】—500

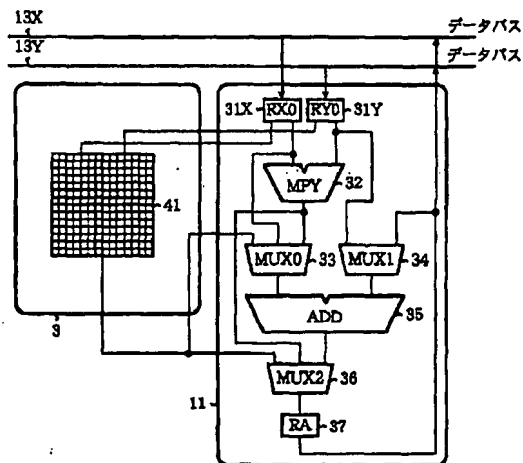


14X: ローカルメモリ (第1のメモリ) 35: 加算器 (演算部)
 14Y: ローカルメモリ (第2のメモリ) 81X: レジスタ (第3のレジスタ)
 32: 乗算器 (演算部) 81Y: レジスタ (第4のレジスタ)
 34, 83, 86: セレクタ (演算部) 91X: レジスタ (第1のレジスタ)
 91Y: レジスタ (第2のレジスタ)

【図8】

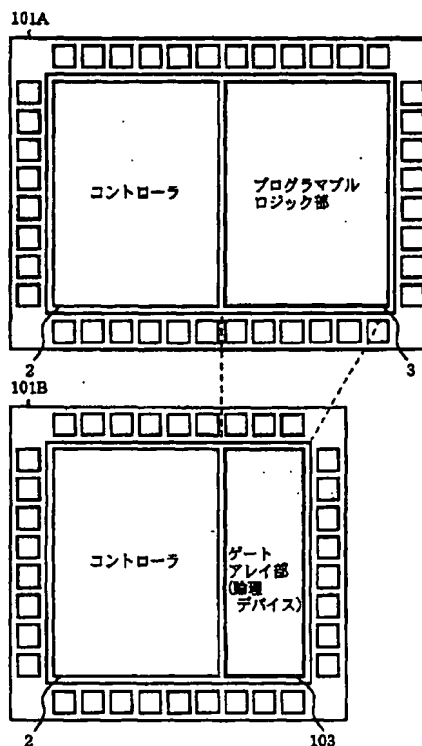


【図6】—600



31X, 31Y: レジスタ部 (レジスタ, 供給手段)
 33, 36: セレクタ (演算部, 出力手段)

【図7】



Citation 1:

JP Patent Application Disclosure No. 11-307725 - Nov. 5, 1999

Patent Application No. 10-111202 - April 21, 1998

Priority: none

Applicant: Mitsubishi Denki K.K., Tokyo, Japan

Title: Semiconductor integrated circuit

Detailed Description of the Invention:

[Abstract]

(Problem to be solved:) In the case of forming a controller and logic devices on one and the same chip die, it has been difficult to use a general-purpose controller intact.

(Means for Solution:) On the basis of a data transfer command, the values in predetermined storage regions of a register file 23 are transferred to the registers 42A, 42B of a programmable logic section 3 through source operand buses 24A, 24B. When said values are transferred to the registers 42A, 42B, a programmable logic array 41 executes a predetermined calculation with respect to said values and stores the result of said calculation in a register 42C. The value thus stored in the register 42C is transferred to a predetermined region of the register file 23 on the basis of a data transfer command.

.....

[Detailed Description of the Invention]

.....

[0049] Embodiments 4.

Fig. 5 is a block diagram which shows the constitutional arrangement of the command execution section 11 and the local memories 14X, 14Y of the controller 2, a programmable logic section 3, and the data buses 13X, 13Y in the semiconductor integrated circuit according to a fourth embodiment of the present application.

[0050] Numeral 3 designates a programmable logic section connected to data buses 13X, 13Y. Numeral 11 designates the command execution section of the controller 2. Said section 11 is connected to the data buses 13X, 13Y and has a circuit arrangement similar to that of a general-purpose digital signal processor. Reference symbol 14X designates a local memory (first memory) which is provided, for example, in a predetermined storage region of the data memory 14 shown in Fig. 1 and connected to the data bus 13X, and reference symbol 14Y designates a local memory (second memory) which is provided, for example, in a predetermined storage region of the data memory 14 shown in Fig. 1 and connected to the data bus 13Y.

[0057] The programmable logic array 41 executes, when data are fed to the registers 91X, 91Y, a predetermined calculation concerning said data and stores the result of said calculation into the register 92.

[0058] Then, the command execution portion 11 transmits, by a data transfer command, the result of calculations to the local memory 14X, 14Y, from a register 92 in the programmable logic portion 3.

[0061] Embodiments 5.

Fig. 6 is a block diagram showing the constitutional arrangement of the command execution section 11 of a controller 2, a programmable logic section 3 and data buses 13X, 13Y in the semiconductor integrated circuit according to Embodiment 5 of the present invention.

[0062] The command execution section 11 is connected to the data buses 13X, 13Y corresponding to the data bus 13 shown in Fig. 1 and has a circuit arrangement similar to the circuit arrangement of a general digital signal processor, and said data buses 13X, 13Y are system buses arranged as system buses. Further, in this Embodiment 5, the programmable logic section 3 is not connected to the data buses 13X, 13Y.

[0063] In the command execution section 11, the reference symbol 31X designates a register section (a register and a feed means) which is connected to the data bus 13X so as to store the data fed through the data bus 13X and which outputs said data to the programmable logic section 3 or to a multiplier 32 and a selector 33 in accordance with the kind of the commands fed to the command execution portion 11, while the reference symbol 31Y is a register section (a register and a feed means) which is connected to the data bus 13Y so as to store the data fed through the data bus 13Y and outputs said data to the programmable logic section 3 or feeds said data to the multiplier 32 and a selector 34 in accordance with the kind of the command fed to the command execution section 11.

[0064] The multiplier 32 is connected to the register sections 31X and 31Y so as to calculate the product of the data from the register section 31X and the data from the register section 31Y and outputs said product to the selector 33 and a selector 36. Said selector 33 is a selector (a logic operation section and an output means) which outputs, to an adder 35, the data from the multiplier 32, the data from the multiplier 32, the data from the register section 31X, or the data from the programmable logic section 3. Said selector 34 is a selector (a logic

operation section) which outputs, to the adder 35, the data from the register section 31Y or the data from a register 37.

[0065] The adder 35 is an adder for calculating the sum of the data from the selector 33 and the data from the selector 34 and outputs the thus obtained sum to the selector 36. The selector 36 is a selector (a logic operation selector and an output means) which stores, in the register 37, the data from the adder 35, the data from the multiplier 32 or the data from the programmable logic section 3. Further, the register is a register which stores therein the data from the selector 36 and suitably outputs the thus stored data to the selector 34 and the data buses 13X, 13Y.

[0066] In the programmable logic section 3, reference numeral 41 designates a programmable logic array which is comprised of a predetermined number of logic blocks, and predetermined logic blocks and the register sections 31X, 31Y of the command execution section 11 are connected to each other, respectively, and further, a predetermined logic block and the selectors 33, 36 of the command execution section 11 are connected to each other.

[0067] Next, the operation of the semiconductor integrated

circuit according to this embodiment will be described. An instruction is fed to the command execution section 11 through the instruction bus 15 (See Fig. 1), and then, said command is decoded; and, when the data corresponding to the operand of said command are fed to the register sections 31X, 31Y, said register sections 31X, 31Y output said data to the programmable logic array 41 of the programmable logic section 3 in case the decoded command has turned out to be a predetermined command.

[0068] In case data are fed to the programmable logic section 3, the programmable logic array 41 executes a predetermined logic operation concerning said data and outputs the result of said logic operation to the selectors 33, 36.

[0069] In case the decoded command is a predetermined command, the selector 33 outputs the data received from the programmable logic portion 3 to the adder 35, and the selector 36 stores, in the register 37, the data sent from the programmable logic section 3.

[0070] On the other hand, in case the decoded command is a command other than the predetermined command, the register sections 31X, 31Y feed said data to the multiplier 32 and the selectors 33, 34. The multiplier 32 calculates the product of these data and

outputs the resulting product to the selector 33 and the selector 36. In this case, the selector 33 outputs, in accordance with the decoded command, the data from the register section 31X or the data from the multiplier 32 to the adder 35. Further, the selector 34 outputs the data from the register 31Y or the data from the register 37 to the adder 35 in accordance with the command decoded.

[0071] Then, the adder 35 calculates the sum of the data from the selector 33 and the data from the selector 34 and outputs the thus obtained sum to the selector 36. In this case, the selector 36 stores the data from the multiplier 32 or the data from the adder 35 in the register 37 in accordance with the decoded command.

[0072] As has been stated above, according to this Embodiment 5, the data are processed in the programmable logic portion 3, only in the case of a predetermined command; and the data are fed to the programmable logic portion 3 in accordance with the kind of commands. Therefore, it is not necessary any more to add an expansion command for data transfer, and further, a general-purpose controller can be used as the controller which is formed in the semiconductor integrated circuit together with the logic device. Thus, there can be obtained the effect that

the costs can be reduced.

(In Figs. 1, 5 and 6)

100 .. Fig. 1, which is a block diagram showing an exemplary constitutional arrangement of the semiconductor integrated circuit according to Embodiment 1 of the present invention.

- 1 .. Semiconductor integrated circuit
- 2 .. Controller
- 3 .. Programmable logic section
- 11 .. Command execution section
- 13 .. Data bus (system bus)
- 14 .. Data memory
- 15 .. Instruction bus
- 16 .. Instruction memory
- 17 .. Bus controller
- 18 .. Peripheral logic section

500 .. Fig. 5

- 13X .. Data bus
- 13Y .. Data bus
- 14X .. Local memory (first memory)
- 14Y .. Local memory (second memory)
- 32 .. Multiplier (arithmetic operation section)

34, 83, 86 .. Selectors (arithmetic operation section)

35 .. Adder (arithmetic operation section)

81X .. Register (third register)

81Y .. Register (fourth register)

91X .. Register (first register)

91Y .. Register (second register)

600 .. Fig. 6

31X, 31Y .. Register sections (registers and feed means)

33, 36 .. Selectors (Arithmetic operation sections and output
means)